

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 52-123840
(43)Date of publication of application : 18.10.1977

(51)Int.CI. G06F 15/16

(21)Application number : 51-041049 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 12.04.1976 (72)Inventor : TATENO HARUO

(54) DATA PROCESSING

(57)Abstract:

PURPOSE: To improve the processing efficiency by using the plural number of the data processing units independently or connectedly.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

えば固定記憶装置及び制御回路を備えて上記処理装置及びメモリコントローラ等に制御命令を与える制御装置である。上記の導体において、処理装置は制御装置から制御命令を受け、メモリの記憶データを読み出して処理処理を行ったり、算算結果を再びメモリに蓄込んだりする。

しかして、後来においては、上記第1回に示すようなデータ処理装置が登場する。各データ処理装置は別個のモジュールとして振られ、それぞれ個別のプログラムが取扱はれ、連結した形での動作を行うことができなかつた。

一万、仕事(JOB)の面から見た場合、仕事の範囲にエラー一つのデータ処理装置とおもて処理させた方が良い場合、あるいは複数のデータ処理させた方が良い場合、あるいは複数のデータ処理装置とそれぞれ仕事を担当して別々に処理させた方が良い場合等がある。しかし、従来においては上記したように複数のデータ処理装置を連結した形で動作をすることができない、仕事の範囲に応じて複数のデータ処理装置を組み立ててデータ処理方式に適する。

不規則な複数個のデータ処理装置を用いる場合、不規則な複数個のデータ処理装置の接続構成を示すもので、1はデータを記憶するメモリ、2はこのメモリを制御するメモリコントローラ、3は例えばレジスタ、4は算算回路等である。

この制御装置 3 はデータ G-1 を介して送信回路 4 に接続される。また、制御装置 3 は、制御装置 3 に接続されたデータ処理装置を設立あるいは連結した場合、制御装置 3 に接続されたデータ処理装置 5 に對してもデータ G-1 を介して送信する場合、制御装置 3 からデータ G-1 を介して出力される処理装置 6 に接続する。

以下本発明の詳細を図示の一実施例を参照して説明する。図2は2組のデータ処理装置10、20を組合せた場合の実施例を示すもので、各データ処理装置10、20は、第1回と同様にそれぞれモリントローラ11、21、メモリコントローラ12、22、処理装置13、23、制御装置14、24からなっている。そして、処理装置13、23と制御装置14、24との間に、データ処理装置10、20を介して送給回路15、25が接続される。この送給回路15、25は送給装置16、26を介してメモリコントローラ12、22へ動作する必要性を監視回路を備えている。すなはち、上記データ処理装置10、20間に代入する、あるいは、上記データ処理装置10、20に対する单一のプログラムに基づいて送給回路15、25を行き来する制御装置17が接続され、ついて共通制御を行つ制御装置17が接続され、上記の構成において、データ処理装置10、20からデータ出力される制御信号18、28を介してデータ出力される制御信号とは、それぞれデータ出力される制御信号とは、それぞれデータ出力される。また、制御装置17がデータ出力18を介して出力されるモモリコントローラ12、22への制御信号とを制御装置17、28へ送らる。そこで、データ出力18を介して処理装置13、23へ送られる。それぞれデータ出力18を介して出力される制御信号とは、それぞれデータ出力18を介してメモリコントローラ12、22へ送られる。そして、上記制御装置17、28へ送られる。すなはち、データ出力18を介して出力される制御信号とは、それぞれデータ出力18を介してメモリコントローラ12、22へ送られる。そして、上記制御装置17、28へ送られる。すなはち、データ出力18を介して出力される制御信号とは、それぞれデータ出力18を介してメモリコントローラ12、22へ送られる。そして、上記制御装置17、28へ送られる。

20をそれぞれ各自自由に動作させる場合には、データG₁を全て閉じると共にゲートG₁を全て開放する。この場合モリコントローラには必要なプログラムがロードされる。上記のようにゲートG₁を全て閉じることによりデータ処理装置G₁を全て開放され立した状態となり、トリガ信号H₁によりデータ処理装置G₁はそれぞれ各自自由にデータ処理を行なう。

また、データ処理装置G₁～G₂を併合して動作させると場合には、ゲートG₁を全て閉じて同時に、ゲートG₂～G₄は併合して動作するプログラムを全て閉じる。上記したがくゲートG₁～G₄は併合して動作する。この動作がじるごとにデータ処理装置G₁～G₄は併合して動作する。そして、ゲートG₁を全て閉じてデータG₁～G₄が連続回路G₁～G₄に送給されると共に、モリコントローラを介して送給される。モリコントローラG₁～G₄に対する制御信号G₁～G₄は、処理装置G₁～G₄における制御情報を兼ねる。

動作開始後G₁はトリガ信号H₁により動作開始し、処理装置G₁～G₂、連結回路G₁～G₂、連結回路G₁～G₃、連結回路G₁～G₄をもつと共に、処理装置G₁～G₂、連結回路G₁～G₃、連結回路G₁～G₄のデータバス信号を受け取る。その連結回路G₁～G₂のうちのファイードバック信号を受け取る。その連結回路G₁～G₂と共に、モリコントローラを介してデータ回路G₁～G₂を介してデータ回路G₁～G₃とモリコントローラを介してデータ回路G₁～G₄を介してデータ回路G₁～G₄を送り、また、モリコントローラ信号を送り、また、モリコントローラG₁～G₄のアドレス信号を送り、また、処理装置G₁～G₄に共通に与え、処理装置G₁～G₄とモリコントローラG₁～G₄との間にかけられたデータの既出し、書き込み動作を行なう。このようにしてデータ処理装置G₁～G₄を連結し制御が行なわれる。

なお、上記実験例では、データ処理装置G₁～G₄を共通制御する制御装置J₁～J₄を別個に設立して設けたが、制御装置J₁～J₄内に設けられた制御情報記憶装置が兼ねて可能である場合には、制御装置J₁～J₄を設立して設けなくてても制御装置J₁～J₄における制御情報を兼ねる。

初学者のためのTCL

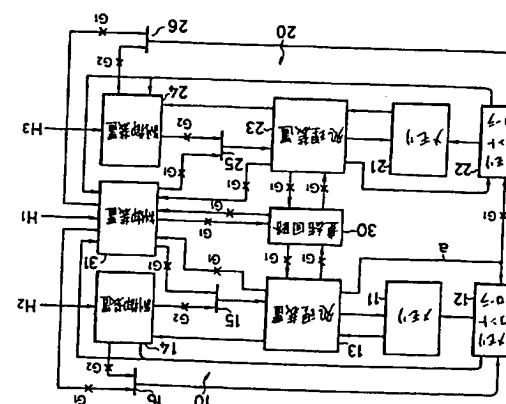
以上述べたくに不分明なれば、次段のデータより現状を立あるいは連結した形で動作させることが、仕事の形態化にしてデータ現状の動作形態を選択することによりデータ処理率を向上し得るデータ処理方式を提供することができる。

第三回 金子の贈り物

図 1 図 2 はアーチ式遮断装置の一枚的構成を示す。図 2 は本発明の一実施例を示す構成図で

... マセリコントローラ、S、I、J...の初期値、I、I、I、2、4、3、J...の初期値、0...連結回路C

出題・解題



24

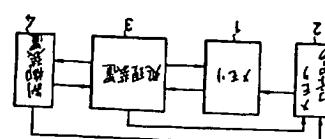


图 1-16